

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-30533

⑮ Int. Cl.⁵

H 01 L 21/321

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月3日

6940-4M H 01 L 21/92

F

審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-137541

⑰ 出 願 平2(1990)5月28日

⑱ 発 明 者 岡 野 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

1) フィールド絶縁膜(2)で被覆された半導体基板
(1)上に電極パッド(3)を形成する工程と、

該半導体基板(1)上全面にカバー絶縁膜(4)を被覆
し、該電極パッド(3)上に開口部(5)を設ける工程と、

該半導体基板(1)上全面に耐熱性ポリマー膜(6)を
塗布し、該電極パッド(3)上に開口部を設けると同
時に、該電極パッド(3)を含む周辺以外の該耐熱性
ポリマー膜(6)を除去する工程と、

該半導体基板(1)全面にバリアメタル層(7)を形成
する工程と、

該半導体基板(1)上にレジスト膜(9)をマスクとし
て、金属パンプ(8)を形成する工程と、

該金属パンプ(8)をマスクとして、該バリアメタ
ル層(7)を除去する工程とを含むことを特徴とする

半導体装置の製造方法。

2) フィールド絶縁膜(2)で被覆された半導体基板
(1)上に電極パッド(3)を形成する工程と、

該半導体基板(1)上全面にカバー絶縁膜(4)を被覆
し、該電極パッド(3)上に開口部(5)を設ける工程と、

該半導体基板(1)上全面に耐熱性ポリマー膜(6)を
塗布し、該電極パッド(3)上に開口部を設ける工程
と、

該半導体基板(1)全面にバリアメタル層(7)を形成
する工程と、

該半導体基板(1)上にレジスト膜(9)をマスクとし
て、金属パンプ(8)を形成する工程と、

該金属パンプ(8)をマスクとして、該バリアメタ
ル層(7)及び該耐熱性ポリマー膜(6)を除去する工程
とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

本発明は、半導体装置のパンプ電極製造方法に
関し、

電極パッド間の耐熱性ポリマー膜の変質によるリーク等の障害を防止する方法を得ることを目的とし、

フィールド絶縁膜で被覆された半導体基板上に電極パッドを形成する工程と、該半導体基板上全面にカバー絶縁膜を被覆し、該電極パッド上に開口部を設ける工程と、該半導体基板上全面に耐熱性ポリマー膜を塗布し、該電極パッド上に開口部を設けると同時に、該電極パッドを含む周辺以外の耐熱性ポリマー膜を除去する工程と、該半導体基板全面にバリアメタル層を形成する工程と、該半導体基板上にレジストをマスクとして、金属パンプを形成する工程と、該金属パンプをマスクとして、該バリアメタル層を除去する工程とを含むように、或いは、フィールド絶縁膜で被覆された半導体基板上に電極パッドを形成する工程と、該半導体基板上全面にカバー絶縁膜を被覆し、該電極パッド上に開口部を設ける工程と、該半導体基板上全面に耐熱性ポリマー膜を塗布し、該電極パッド上に開口部を設ける工程と、該半導体基板全

パンプである。

高集積回路素子のパッケージへの多数且つ微細な配線を形成するためには、金属パンプ電極の利用開発が重要な鍵となる。特に、金属パンプはより小さく、より精密に安定して作成することが重要である。

第4図に示すように、従来のパンプ電極において、金属パンプ16のめっき層の下側に敷かれたポリイミド膜14は、ボンディング時の加圧等のショックにより、素子のカバー絶縁膜13に破損が生じて、パンプ電極配線間のリークが生ずることを防ぐ目的で形成されている。

〔発明が解決しようとする課題〕

しかし、現行のポリイミド膜等の耐熱性ポリマーは、半導体チップの全面に被覆形成されているために、電極パッドと電極パッドの間もポリイミド膜で繋がった状態にある。このため、組立てや実装時の熱等により、ポリイミド膜の絶縁性が損なわれた場合、電極パッド間にリークが生ずるこ

面にバリアメタル層を形成する工程と、該半導体基板上にレジストをマスクとして、金属パンプを形成する工程と、該金属パンプをマスクとして、該バリアメタル層及び該耐熱性ポリマー膜を除去する工程とを含むように構成する。

〔産業上の利用分野〕

本発明は、半導体装置のパンプ電極製造方法に関する。

近年、高速情報処理の発達に伴い、高集積、高速、微細化した半導体装置の開発が要望されており、このために高速集積回路素子の開発、さらには、これを構成するための精密微細な配線形成技術の高度開発が要望されている。

〔従来の技術〕

第4図は従来例の説明図である。

図において、10は半導体基板、11はフィールド絶縁膜、12は電極パッド、13はカバー絶縁膜、14はポリイミド膜、15はバリアメタル層、16は金属

ととなる。

本発明は、このリーク等による障害を防止する方法を得ることを目的として、提供されるものである。

〔課題を解決するための手段〕

第1図は本発明の原理説明図である。

図において、1は半導体基板、2はフィールド絶縁膜、3は電極パッド、4はカバー絶縁膜、5は開口部、6は耐熱性ポリマー膜、7はバリアメタル層、8は金属パンプ、9はレジスト膜である。

本発明は、上記問題点の電極パッド間リークを遮断するために、耐熱性ポリマー膜の形成時に、電極パッド間の耐熱性ポリマー膜を除去分離して形成する。

即ち、先ず、第2図(a)に示すように、フィールド絶縁膜2で被覆された半導体基板1上に電極パッド3を形成する工程と、

第2図(b)に示すように、該半導体基板1上全面にカバー絶縁膜4を被覆し、該電極パッド3

上に開口部5を設ける工程と、

第2図(c)に示すように、該半導体基板1上全面に耐熱性ポリマー膜6を塗布し、該電極パッド3上に開口部を設けると同時に、該電極パッド3を含む周辺以外の耐熱性ポリマー膜6を除去する工程と、

第2図(d)に示すように、該半導体基板1全面にバリアメタル層7を形成する工程と、

第2図(e)に示すように、該半導体基板1上にレジスト膜9をマスクとして、金属パンプ8を形成する工程と、

第2図(f)に示すように、該金属パンプ8をマスクとして、該バリアメタル層7を除去する工程とを含むことにより、

或いは、第2の方法として、第3図(a)に示すように、フィールド絶縁膜2で被覆された半導体基板1上に電極パッド3を形成する工程と、

第2図(b)に示すように、該半導体基板1上全面にカバー絶縁膜4を被覆し、該電極パッド3上に開口部5を設ける工程と、

面図、第3図は本発明の第2の実施例の工程順模式断面図である。

図において、1は半導体基板、2はフィールド絶縁膜、3は電極パッド、4はカバー絶縁膜、5は開口部、6は耐熱性ポリマー膜、7はバリアメタル層、8は金属パンプ、9はレジスト膜である。

第2図により本発明の第1の実施例を説明する。

第2図(a)に示すように、半導体基板1としてシリコン(Si)基板を使用し、フィールド絶縁膜として、Siの熱酸化膜を6,000Åの厚さに形成する。

その上に、Alを1μmの厚さにスパッタ法により蒸着し、パターニングして、電極パッド3を形成する。

第2図(b)に示すように、CVD法により、Si基板1上にカバー絶縁膜4としてのPSG膜を1μmの厚さに被覆し、金属パンプ形成用として、Alの電極パッド3の上のみ開口部5を形成する。

第2図(c)に示すように、耐熱性ポリマー膜6として使用するポリイミド膜を3μmの厚さに

第2図(c)に示すように、該半導体基板1上全面に耐熱性ポリマー膜6を塗布し、該電極パッド3上に開口部を設ける工程と、

第2図(d)に示すように、該半導体基板1全面にバリアメタル層7を形成する工程と、

第2図(e)に示すように、該半導体基板1上にレジスト膜9をマスクとして、金属パンプ8を形成する工程と、

第2図(f)に示すように、該金属パンプ8をマスクとして、該バリアメタル層7及び耐熱性ポリマー膜6を除去する工程とを含むことにより達成される。

(作用)

本発明のように、耐熱性ポリマー膜の形成時に、電極パッド間の耐熱性ポリマー膜を除去分離することによって、電極パッド間のリークがなくなる。

(実施例)

第2図は本発明の第1の実施例の工程順模式断

塗布し、乾燥処理を行った後、パターニングして、電極パッド3上に開口部5を設けるとともに、電極パッド3の周囲を除いて、耐熱性ポリマー膜6としてのポリイミド膜をアルカリ系水溶液により除去する。

第2図(d)に示すように、Si基板1の全面に、スパッタ法によりチタン(Ti)を3,000Å、その上にパラジウム(Pd)を3,000Åの厚さに順次蒸着してバリアメタル層7を形成する。

第2図(e)に示すように、めっき法により、レジスト膜9をマスクとして、金(Au)のパンプ8を電極パッド3上に、バリアメタル層7を介して25μmの厚さに形成する。

第2図(f)に示すように、レジスト膜9を除去した後、金のパンプ8をマスクとして、バリアメタル層7をエッチング除去する。

第2の実施例では、第3図に示すように、耐熱性ポリマー膜6としてのポリイミド膜は最初にパターニングによりエッチングすることなく、金属パンプ8を形成後に、金属パンプ8をマスクとし

て、バリアメタル層 7 をウエットエッチングで除去し、その後、金属バンパ 8 をマスクとして、耐熱性ポリマー膜 6 としてのポリイミド膜を酸素プラズマによるアッシングで除去する。

なお、以上の本発明の一実施例では、耐熱性ポリマー膜としてポリイミド膜を取り上げて説明してきたが、ポリアミドイミドや芳香族系ポリマー等、他の耐熱性ポリマー膜に置き換えてもかまわない。

〔発明の効果〕

以上説明したように、本発明によれば、耐熱性ポリマー膜の形成時に電極パッド間の耐熱性ポリマー膜を除去するために、電極パッド間でのリークがなくなり、信頼性の向上に寄与するところが大い。

4. 図面の簡単な説明

第 1 図は本発明の原理説明図、

第 2 図は本発明の第 1 の実施例の工程順模式断

面図、

第 3 図は本発明の第 2 の実施例の工程順模式断面図、

第 4 図は従来例の説明図

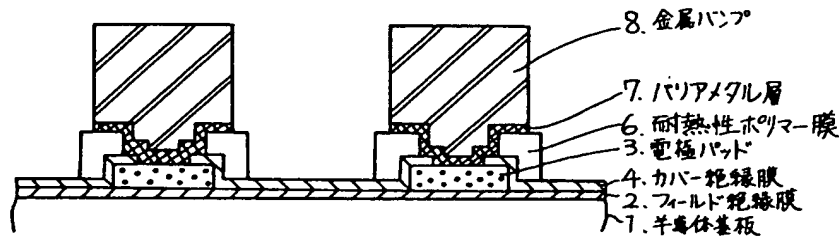
である。

図において、

- 1 は半導体基板、 2 はフィールド絶縁膜、
- 3 は電極パッド、 4 はカバー絶縁膜、
- 5 は開口部、 6 は耐熱性ポリマー膜、
- 7 はバリアメタル層、 8 は金属バンパ、
- 9 はレジスト膜

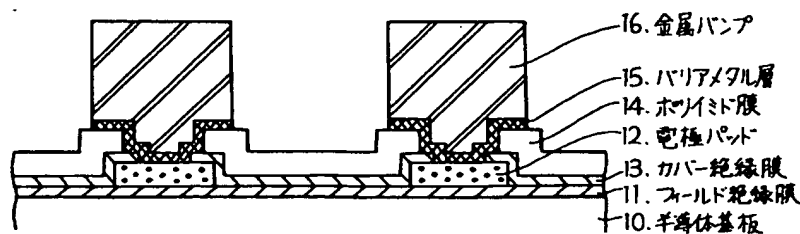
である。

代理人 弁理士 井桁貞一



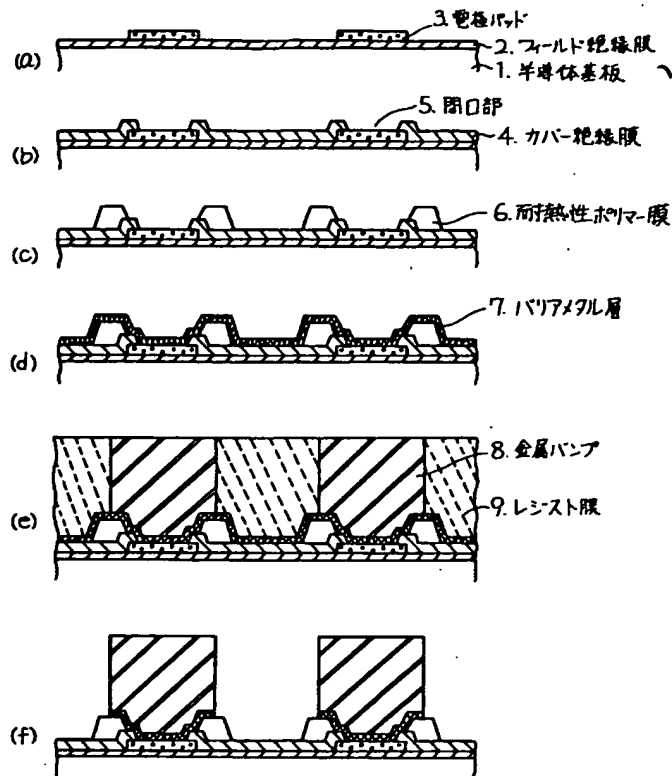
本発明の原理説明図

第 1 図



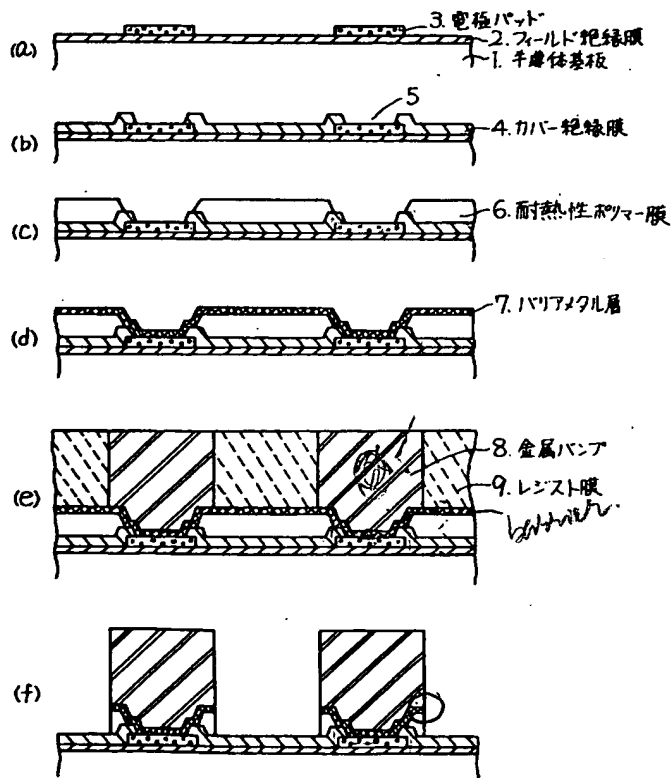
従来例の説明図

第 4 図



本発明の第1の実施例の工程順模式断面図

第2図



本発明の第2の実施例の工程順模式断面図

第3図

PAT-NO: JP404030533A

DOCUMENT-IDENTIFIER: JP 04030533 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 3, 1992

INVENTOR-INFORMATION:

NAME

OKANO, TAKASHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02137541

APPL-DATE: May 28, 1990

INT-CL (IPC): H01L021/321

US-CL-CURRENT: 438/614, 438/694 , 438/FOR.343

ABSTRACT:

PURPOSE: To eliminate a leak between electrode pads by removing a heat-resistant polymer film between the electrode pads so that the pads be separated, on the occasion of formation of the heat-resistant polymer film.

CONSTITUTION: A PSG film as a cover insulation film 4 is applied on an Si substrate 1 and an opening 5 is formed only on an electrode pad 3 of A, for forming a metal bump. A polyimide film to be used as a heat-resistant polymer film 6 is applied, subjected to a drying process and then patterned, so as to provided the opening 5 on the electrode pad 3, while the polyimide film as the heat-resistant polymer film 6 is removed except for that around the electrode pad 3 by an alkaline water solution. Titanium and palladium thereon are evaporated sequentially on the whole surface of the Si substrate 1 by a sputtering method, so as to form a barrier metal layer 7. With a resist film 9 used as a mask, a bump 8 of gold is formed 25 um thick on the electrode pad 3 with the barrier metal layer 7 interlaid. After the resist film 9 is removed, the barrier metal layer 7 is removed by etching with the gold bump 8 used as the mask.

COPYRIGHT: (C)1992,JPO&Japio

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-030533

(43)Date of publication of application : 03.02.1992

(51)Int.Cl.

H01L 21/321

(21)Application number : 02-137541

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.05.1990

(72)Inventor : OKANO TAKASHI

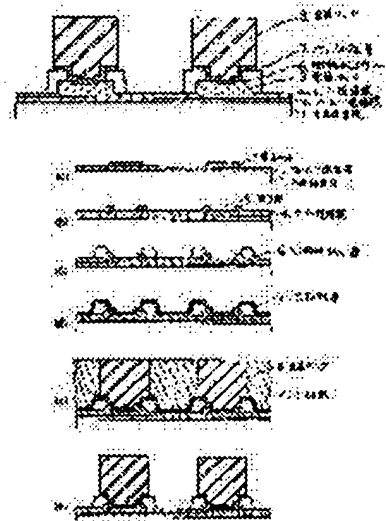
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To eliminate a leak between electrode pads by removing a heat-resistant polymer film between the electrode pads so that the pads be separated, on the occasion of formation of the heat-resistant polymer film.

CONSTITUTION: A PSG film as a cover insulation film 4 is applied on an Si substrate 1 and an opening 5 is formed only on an electrode pad 3 of A, for forming a metal bump. A polyimide film to be used as a heat-resistant polymer film 6 is applied, subjected to a drying process and then patterned, so as to provided the opening 5 on the electrode pad 3, while the polyimide film as the heat-resistant polymer film 6 is removed except for that around the electrode pad 3 by an alkaline water solution. Titanium and palladium thereon are

evaporated sequentially on the whole surface of the Si substrate 1 by a sputtering method, so as to form a barrier metal layer 7. With a resist film 9 used as a mask, a bump 8 of gold is formed 25 um thick on the electrode pad 3 with the barrier metal layer 7 interlaid. After the resist film 9 is removed, the barrier metal layer 7 is removed by etching with the gold bump 8 used as the mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

PTO 2006-824

Japanese Kokai
Hei 4-30533(A)

METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE
[Handōtai Sōchi no Seizō Hōhō]

Takashi OKANO

UNITED STATES PATENT AND TRADEMARK OFFICE
Washington, D.C. November, 2006

Translated by: Schreiber Translations, Inc.

Country : Japan

Document No. : Hei 4-30533(A)

Document Type : Kokai

Language : Japanese

Inventor : Takashi OKANO

Applicant : Fujitsu Ltd.

IPC : H01L 21/321

Application Date : May 28, 1990

Publication Date : February 3, 1992

Foreign Language Title : Handōtai Sōchi no Seizō Hōhō

English Title : METHOD FOR MANUFACTURING A
SEMICONDUCTOR DEVICE

Specification

1. Title

Method for Manufacturing a Semiconductor Device

2. Claims

- 1) A method for manufacturing a semiconductor device characterized by comprising the steps of:
 - forming an electrode pad (3) on a semiconductor substrate (1) coated with a field insulation film (2),
 - coating a cover insulation film (4) over the entire surface of semiconductor substrate (1) and forming an opening (5) over electrode pad (3),
 - coating a heat-resistant polymer film (6) over the entire surface of semiconductor substrate (1) and, simultaneously with providing an opening over electrode pad (3), removing heat-resistant polymer film (6) everywhere but along a perimeter containing electrode pad (3),
 - forming a barrier metal layer (7) over the entire surface of semiconductor substrate (1),
 - forming a metal bump (8) on semiconductor substrate (1) using a resist film (9) as mask, and

¹ Numbers in the margin indicate pagination in the foreign text.

removing barrier metal layer (7) using metal bump (8) as mask.

2) A method for manufacturing a semiconductor device characterized by comprising the steps of:

forming an electrode pad (3) on a semiconductor substrate (1) coated with a field insulation film (2),

coating a cover insulation film (4) over the entire surface of semiconductor substrate (1) and forming an opening (5) over electrode pad (3),

coating a heat-resistant polymer film (6) over the entire surface of semiconductor substrate (1) and forming an opening over electrode pad (3),

forming a barrier metal layer (7) over the entire surface of semiconductor substrate (1),

forming a metal bump (8) on semiconductor substrate (1) using a resist film (9) as mask, and

removing barrier metal layer (7) and heat-resistant polymer film (6) using metal bump (8) as mask.

3. Detailed Description of the Invention

(Summary)

The present invention relates to a method for manufacturing the bump electrodes of semiconductor devices.

It has as its object to provide a method of preventing damage due to leaks caused by transformation of the heat-resistant polymer film between electrode pads.

The present invention comprises the steps of: forming an electrode pad on a semiconductor substrate coated with a field insulation film; coating a cover insulation film over the entire surface of the semiconductor substrate and forming an opening over the electrode pad; coating a heat-resistant polymer film over the entire surface of the semiconductor substrate and, simultaneously with providing an opening over the electrode pad, removing heat-resistant polymer film everywhere but along a perimeter containing the electrode pad; forming a barrier metal layer over the entire surface of the semiconductor substrate; forming a metal bump on the semiconductor substrate using a resist film as mask; and removing the barrier metal layer using the metal bump as a mask. Alternatively, the present invention comprises the steps of: forming an electrode pad on a semiconductor substrate coated with a field insulation film; coating a cover insulation film over the entire surface of the semiconductor substrate and forming an opening over the electrode pad; coating a heat-resistant polymer film over the entire surface of the semiconductor substrate and forming an opening over the electrode pad; forming a barrier metal layer

over the entire surface of the semiconductor substrate; forming a metal bump on the semiconductor substrate using a resist film as mask; and removing the barrier metal layer and heat-resistant polymer film using the metal bump as a mask.

(Industrial Field of Application)

The present invention relates to methods for manufacturing the pad electrodes of semiconductor devices.

With the development of high-speed information processing in recent years, there has been a need for the development of highly miniaturized semiconductor devices and high-speed integrated circuit elements, and a great need for developing techniques of forming the precision fine wiring use to constitute such elements.

(Prior Art)

Fig. 4 is a descriptive drawing of a conventional example.

In the figure, 10 denotes a semiconductor substrate, 11 denotes a field insulation film, 12 denotes an electrode pad, 13 denotes a cover insulation film, 14 denotes a polyimide film, 15 denotes a barrier metal layer, and 16 denotes a metal bump.

The development of the use of metal bump electrodes is an important key to the forming of multiple, minute wiring on the package of a highly integrated circuit. In particular, it is important to form smaller, more precise, and stable metal bumps.

As indicated in Fig. 4, in a conventional bump electrode, a polyimide film 14 is formed beneath the plating layer of metal bump 16 to prevent the formation of leaks between bump electrode wiring due to damage to cover insulation film 13 of the element caused by shock due to pressure and the like during bonding.

(Problems to Be Solved by the Invention)

However, since heat-resistant polymers such as the current polyimide films are coated over the entire surface of the semiconductor chip, the electrode pads are linked together by polyimide film. Thus, when heat during assembly, installation, or the like compromises the insulating property of the polyimide film, leaks occur between electrode pads.

The present invention has for its object to provide methods for preventing damage due to such leaks.

(Means of Solving the Problem)

Fig. 1 is a descriptive drawing showing the principle of the present invention.

In the figure, 1 denotes a semiconductor substrate, 2 denotes a field insulation film, 3 denotes an electrode pad, 4 denotes a cover insulation film, 6 denotes a heat-resistant polymer film, 7 denotes a barrier metal layer, and 8 denotes a metal bump.

In the present invention, to stop the above-stated problem of leaks between electrode pads, when forming the heat-resistant polymer film, the heat-resistant polymer film is removed from between the electrode pads.

That is, the present invention comprises the steps of:

first forming an electrode pad 3 on a semiconductor substrate 1 coated with a field insulation film 2 as shown in Fig. 2(a),

coating a cover insulation film 4 over the entire surface of semiconductor substrate 1 and forming an opening 5 over electrode pad 3 as shown in Fig. 2(b),

/3

coating a heat-resistant polymer film 6 over the entire surface of semiconductor substrate 1 and, simultaneously with providing an opening over electrode pad 3, removing heat-resistant polymer film 6 everywhere but along a perimeter containing electrode pad 3 as shown in Fig. 2(c),

forming a barrier metal layer 7 over the entire surface of semiconductor substrate 1 as shown in Fig. 2(d),

forming a metal bump 8 on semiconductor substrate 1 using a resist film 9 as mask as shown in Fig. 2(e), and

removing barrier metal layer 7 using metal bump 8 as mask as shown in Fig. 2(f).

Alternatively, the present invention comprises the steps of:

forming an electrode pad 3 on a semiconductor substrate 1 coated with a field insulation film 2 as shown in Fig. 3(a),

coating a cover insulation film 4 over the entire surface of semiconductor substrate 1 and forming an opening 5 over electrode pad 3 as shown in Fig. 2(b) [sic: 3(b)],

coating a heat-resistant polymer film 6 over the entire surface of semiconductor substrate 1 and forming an opening over electrode pad 3 as shown in Fig. 2(c) [sic: 3(c)],

forming a barrier metal layer 7 over the entire surface of semiconductor substrate 1 as shown in Fig. 2(d) [sic: 3(d)],

forming a metal bump 8 on semiconductor substrate 1 using a resist film 9 as mask as shown in Fig. 2(e) [sic: 3(e)], and

removing barrier metal layer 7 and heat-resistant polymer film 6 using metal bump 8 as mask as shown in Fig. 2(f) [sic: 3(f)].

(Operation)

Removing the heat-resistant polymer film between electrode pads during the formation of the heat-resistant polymer film in the present invention eliminates leaks between electrode pads.

(Embodiments)

Fig. 2 provides typical sectional views of the step sequence in a first embodiment of the present invention, and Fig. 3 provides typical sectional views of the step sequence in a second embodiment of the present invention.

In the figures, 1 denotes a semiconductor substrate, 2 denotes a field insulation film, 3 denotes an electrode pad, 4 denotes a cover insulation film, 5 denotes an opening, 6 denotes a heat-resistant polymer film, 7 denotes a barrier metal layer, 8 denotes a metal bump, and 9 denotes a resist film.

Embodiment 1 of the present invention will be described based on Fig. 2.

As shown in Fig. 2(a), employing a silicon (Si) substrate as semiconductor substrate 1, a thermal oxidation film of Si is formed to a thickness of 6,000 Å.

Thereover, aluminum is deposited by sputtering to a thickness of 1 μm and patterned to form electrode pads 3.

As shown in Fig. 2(b), a cover insulation film 4 in the form of a PSG film is then applied to a thickness of 1 μm on Si substrate 1 by CVD, and holes 5 are formed only above aluminum electrode pads 3 for use in forming metal bumps.

As shown in Fig. 2(c), a polyimide film serving as the heat-resistant polymer film is then formed to a thickness of 3 μm and dried. Subsequently, patterning is conducted, holes are

fashioned above electrode pads 3, and except for the area around electrode pads 3, the polyimide film in the form of heat-resistant polymer film 6 is removed with an alkali aqueous solution.

As shown in Fig. 2(d), sputtering is used to successively deposit a barrier metal layer 7 in the form of 3,000 Å of titanium (Ti) followed by 3,000 Å of palladium (Pd).

As shown in Fig. 2(e), plating is used to form gold (Au) bumps 8 to a thickness of 25 μm through barrier metal layer 7 on electrode pads 3 using resist film 9 as mask.

As shown in Fig. 2(f), after removing resist film 9, gold bumps 8 are employed as masks to etch away barrier metal layer 7.

In Embodiment 2, as indicated in Fig. 3, metal bumps 8 are formed without initially etching a pattern into the polyimide film serving as heat-resistant polymer film 6. Subsequently, employing metal bumps 8 as mask, barrier metal layer 7 is removed by wet etching. Then, using metal bumps 8 as mask, the polyimide film serving as heat-resistant polymer film 6 is removed by ashing with oxygen plasma.

/4

In the above embodiments of the present invention, the heat-resistant polymer film is described as being a polyimide

film. However, this may be replaced with other heat-resistant polymer films such as polyamidoimides and aromatic polymers.

(Effect of the Invention)

In the present invention as set forth above, heat-resistant polymer film between electrode pads is removed during the formation of the heat-resistant polymer film, thereby eliminating leaks between electrode pads and greatly contributing to enhanced reliability.

4. Brief Description of the Drawings

Fig. 1 is a descriptive drawing of the principle of the present invention.

Fig. 2 shows typical sectional views of the step sequence of Embodiment 1.

Fig. 3 shows typical sectional views of the step sequence of Embodiment 2.

Fig. 4 is a descriptive drawing of a conventional example.

In the figures:

- | | |
|----------------------------|--------------------------------|
| 1: Semiconductor substrate | 2: Field insulation film |
| 3: Electrode pad | 4: Cover insulation film |
| 5: Opening | 6: Heat-resistant polymer film |
| 7: Barrier metal layer | 8: Metal bump |
| 9: Resist film. | |

Fig. 1

A descriptive drawing of the principle of the present invention.

- 8: Metal bump
- 7: Barrier metal layer
- 6: Heat-resistant polymer film
- 3: Electrode pad
- 4: Cover insulation film
- 2: Field insulation film
- 1: Semiconductor substrate

Fig. 4

A descriptive drawing of a conventional example

- 16: Metal bump
- 15: Barrier metal layer
- 14: Polyimide film
- 12: Electrode pad
- 13: Cover insulation film
- 11: Field insulation film
- 10: Semiconductor substrate

/5

Fig. 2.

Typical sectional views of the step sequence of Embodiment 1 of the present invention

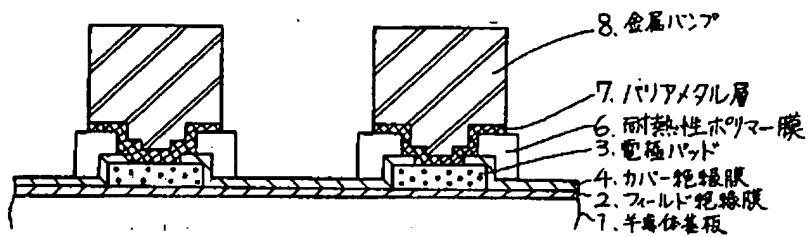
- (a) 3. Electrode pad
- 2. Field insulation film

- 1. Semiconductor substrate
- (b) 5. Opening
- 4. Cover insulation film
- (c) 6. Heat-resistant polymer film
- (d) 7. Barrier metal layer
- (e) 8. Metal bump
- 9. Resist film

Fig. 3.

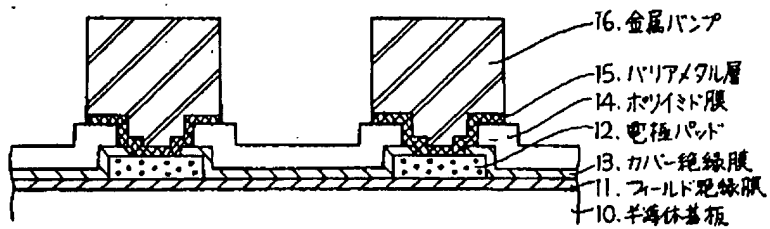
Typical sectional views of the step sequence of Embodiment 2 of the present invention

- (a) 3. Electrode pad
- 2. Field insulation film
- 1. Semiconductor substrate
- (b) 4. Cover insulation film
- (c) 6. Heat-resistant polymer film
- (d) 7. Barrier metal layer
- (e) 8. Metal bump
- 9. Resist film

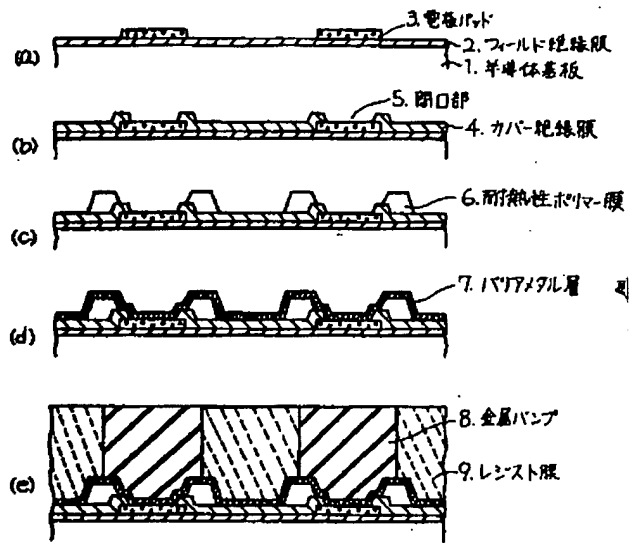


本発明の原理説明図

第1図

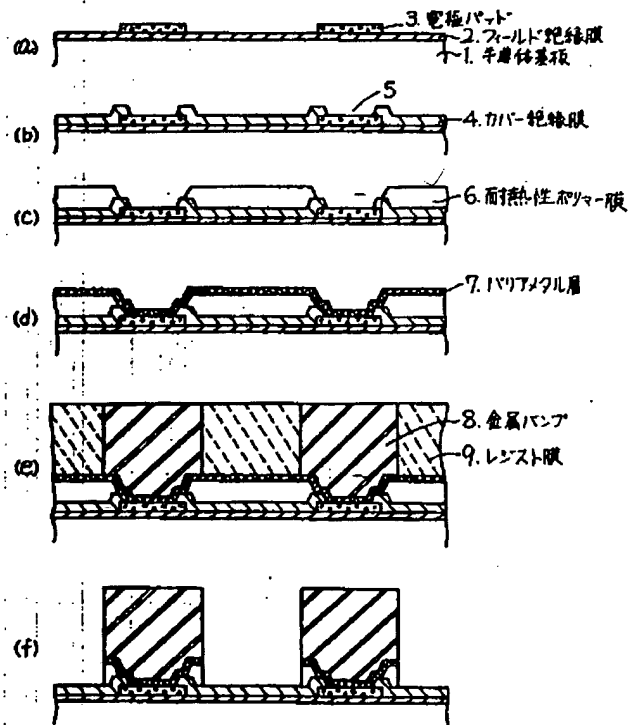


従来例の説明図



本発明の第1の実施例の工程順模式断面図

第2図



本発明の第2の実施例の工程順模式断面図

第3図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.